

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-160460
 (43)Date of publication of application : 21.06.1996

(51)Int.Cl. G02F 1/136
 G02F 1/1333
 G02F 1/1343
 H01L 29/786
 H01L 21/336

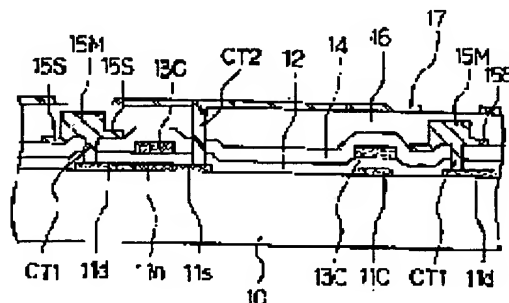
(21)Application number : 06-306551 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 09.12.1994 (72)Inventor : JINNO MASASHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obtain a liquid crystal display device having an improved opening rate by substituting BM for a drain line and to prevent crosstalk and to improve display quality by decreasing the parasitic capacitance between the source and the drain.

CONSTITUTION: The drain line 15 is formed of a main line 15M having a thick film and a subline 15S having a thin film with a step difference between these. The interlayer insulating layer 16 is made flat. The pixel electrode 17 is superposed on the subline 15S with the interlayer insulating layer 16 interposed between them and the edge part of the pixel electrode is shaded from light. The parasitic capacitance can be decreased because of the increase of the film thickness of the interlayer insulating layer 16 owing to the step difference of the drain line 15.



LEGAL STATUS

[Date of request for examination] 05.02.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160460

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0		
	1/1333	5 0 5		
	1/1343			
H 0 1 L	29/786			
		9056-4M	H 0 1 L 29/ 78	6 1 2 Z
		審査請求	未請求	請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-306551

(22) 出願日 平成6年(1994)12月9日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

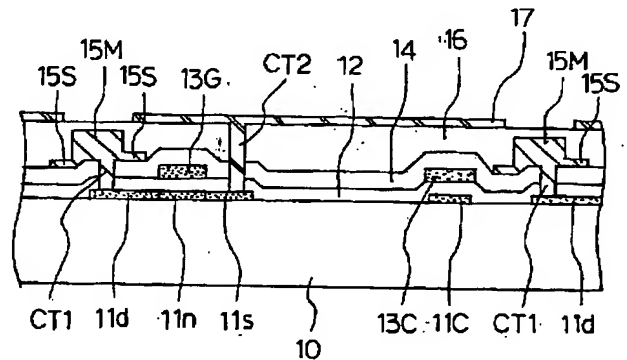
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ドレインラインをBMに代替させることにより開口率を向上した液晶表示装置において、ソース・ドレイン間の寄生容量を低減して、クロストークを防ぎ、表示品位を高める。

【構成】 ドレインライン(15)を、膜厚の厚いメインライン(15M)部と膜厚の薄いサブライン(15S)部で段差をつけるとともに、層間絶縁層(16)を平坦化した構成である。画素電極(17)は層間絶縁層(16)を挟んでサブライン(15S)部に重畳され周縁が遮光されている。ドレインライン(15)の段差による層間絶縁層(16)の膜厚のために、寄生容量が低減される。



【特許請求の範囲】

【請求項 1】 一対の電極基板間に液晶が密封され表示画素ごとに形成された液晶駆動用の画素容量に信号電圧を印加することにより前記液晶の配向を変化して光を変調する液晶表示装置において、前記一対の電極基板の一方は、基板上に、不純物を含有しないチャンネル層及び該チャンネル層の両側端に不純物を含有したソース領域とドレイン領域を含んで島状に形成された多結晶半導体層と、該多結晶半導体層上に形成された第 1 の絶縁層と、該第 1 の絶縁層が形成された前記基板上に形成され前記チャンネル層の上方に配されたゲート電極を含むゲートラインと、該ゲートライン上に形成された第 2 の絶縁層と、該第 2 の絶縁層が形成された前記基板上に形成され前記ドレイン領域との接続部を有するドレインラインと、該ドレインラインを覆って全面的に形成され表面が平坦にされた第 3 の絶縁層と、該第 3 の絶縁層上に形成され前記ソース領域との接続部を有し前記画素容量の一方を成す画素電極とから成ることを特徴とする液晶表示装置。

【請求項 2】 前記第 3 の絶縁層は、液状材料の回転塗布及び焼成により形成された SOG 膜、または、該 SOG 膜を含む多層膜からなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記 SOG 膜は、液状材料の回転塗布及び焼成を複数回行うことにより形成されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記第 3 の絶縁層は、研磨液による化学反応と機械的な摩擦研磨との合併作用を利用した CMP 法により平坦化されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 前記ドレインラインは、前記画素電極の周辺位置に配され、前記画素電極は前記第 3 の絶縁層を挟んで部分的に前記ドレインラインに重畳され、かつ、前記ドレインラインは前記画素電極に重畳する部分において膜厚が薄くされていることを特徴とする請求項 1 から請求項 4 のいずれかに記載の液晶表示装置。

【請求項 6】 前記ゲートラインは、不純物を含有した多結晶シリコン層からなり、前記画素電極の周辺位置で前記ドレインラインに交差して形成され、前記画素電極の前記ゲートラインに沿った縁線の帯域には遮光層が島状に形成されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、液晶表示装置（LCD：Liquid Crystal Display）に関するもので、特に、多結晶シリコン（p-Si）の薄膜電界効果トランジスタ（TFT：Thin Film Transistor）を用いたアクティブマトリクス型の液晶表示装置に関するものである。

【0002】

【従来の技術】 LCD は小型、薄型、低消費電力などの利点があり、OA 機器、AV 機器などの分野で実用化が進んでいる。特に、スイッチング素子として TFT を用い、線順次走査による駆動を可能としたアクティブマトリクス LCD は、原理的にデューティ比 100% のスタティック駆動をマルチプレクスのに行うことができ、大画面、高コントラスト比の動画ディスプレイに使用されている。

【0003】 アクティブマトリクス LCD は、マトリクス配置された画素電極に TFT を接続した基板（TFT 基板）と、共通電極を有する基板（対向基板）が、液晶を挟んで貼り合わされ、各表示画素をなす画素容量ごとに電圧が印加される構成となっている。TFT は、一走査線ごとに一斉に ON され、画素電極へのデータ信号入力を選択するとともに、OFF 抵抗により、画素容量へ印加された電圧を次フィールドでの書き換えまでの期間保持する働きを有している。液晶は、電気光学的に異方性を有しており、各画素容量により形成された電界に従って透過光を変調し、表示画像を作り出す。

【0004】 近年、TFT として、チャンネル層に p-Si を用いたものがあり、高移動度が達成され、TFT サイズの小型化、駆動回路部の一体搭載などが実現されている。TFT の小型化は、表示領域の拡大につながり、高開口率が得られるので、特に、プロジェクターのライトバルブに用いられている。更に明るさを高める目的で、ブラックマトリクス（BM）となる遮光層を TFT のアレイ基板側に内蔵形成したものがある。即ち、BM を対向基板側に形成した場合の貼り合わせ時の位置ずれを考慮したマージンによる表示領域の損失分を取り戻すことにより、開口率を向上したものである。

【0005】 このような構成に関して、特に、走査線や信号線との重畳部を工夫して BM として機能させることにより、対向基板側の BM を不要あるいは縮小して、開口率を向上したものがある。図 7 はその従来構造の平面図であり、図 8 は、図 7 の D-D 線に沿った断面図である。耐熱性の石英ガラスなどからなる基板（50）上に、p-Si の活性層（51）が形成され、ノンドープのチャンネル層（51n）、N 型に高濃度にドーピングされたソース及びドレイン領域（51s、51d）が含まれている。また電荷保持用の第 1 の補助容量電極（51C）がソース領域（51s）と一体に形成されている。これらを覆う全面には CVD あるいは熱酸化により形成されたゲート絶縁層（52）が被覆され、ゲート絶縁層（52）上にはドーパド p-Si からなるゲートライン（53）及び第 2 の補助容量電極（53C）が形成され、ゲートライン（53）の一部はチャンネル層（51n）上に配されゲート電極（53G）となっている。これらを覆う全面には CVD により第 1 の層間絶縁層（54）が被覆され、第 1 の層間絶縁層（54）上には Al のドレインライン（55）が形成され、ゲート絶縁層

(52) 及び第1の層間絶縁層(54)に開通されたコンタクトホール(CT3)を介して、ドレイン領域(51d)に接続されている。ドレインライン(55)上にはCVDにより第2の層間絶縁層(56)が被覆され、第2の層間絶縁層(56)上には液晶を駆動する画素電極(57)がITOにより形成され、ゲート絶縁層(52)、第1の層間絶縁層(54)及び第2の層間絶縁層(56)に形成されたコンタクトホール(CT4)を介して、ソース領域(51s)に接続されている。画素電極(57)は、ゲートライン(53)とドレインライン(55)に囲まれた領域に配置され、ドレインライン(55)と重畳部を有して、BMを兼用している。この構成により、ドレインライン(55)側において、貼り合わせずれを考慮した対向基板側のBMのマージンが不要になり、開口率が向上する。

【0006】図9と図10は、画素電極(57)とドレインライン(55)との重畳部の断面構造であり、図7のE-E線部に対応している。図9に示す如く、隣接する画素電極(57)間は、ソース・ソースの間の横方向電界によるクロストークを防ぐため、最低離間距離

(L)が必要であるとともに、画素電極(57)の周縁部では電界の乱れのために液晶の配向が不安定で、この部分でも遮光が必要とされ、幅(L1)をもってドレインライン(55)との重畳部が要されている。しかし、このような重畳部は、即、ソース・ドレイン間の寄生容量となり、ドレイン信号の歪みをもたらすクロストークやコントラスト比低下の原因となっていた。

【0007】一方、図10の構造は、このような問題を無くすものであり、画素電極(57)の周縁下部に、幅(L1)にわたって遮光層(58)が形成されている。これにより、画素電極(57)とドレインライン(55)の重畳部幅(L2)を小さくして、寄生容量が減少されている。

【0008】

【発明が解決しようとする課題】図7、図8及び図9に示した従来構造では、ドレインライン(55)をもってBMのエッジに代替させ、対向基板側のサブBMを小さくすることにより、高開口率化が実現されている。また、図10に示すごとく、画素電極(57)の周縁に遮光層(58)を付加配置することにより、ソース・ドレイン間の寄生容量を減少させた構造が可能となり、表示品位の低下が防がれている。しかしながら、この構造では図9の場合と比べて、ドレインライン(55)の幅が狭くなっており、抵抗が増大している。即ち、ドレイン配線パターン設計が、線幅を最低離間距離(L)以下にするという制限の下に行われており、配線抵抗による信号遅延を招いていた。

【0009】また、ドレインライン(55)を被覆する第2の絶縁層(56)は、画素電極(57)の下地層となっており、CVDにより成膜されたSiNXあるいは

SiO₂からなっている。このようなCVD膜はステップバカヴァレッジは良いが、下地形状がそのまま表面に現れる。特に、ドレインライン(55)は下地の段差に対応して厚く5000~7000Åの膜厚に形成されているので、段差が大きく画素電極(57)が隆起されている。また、ドレインライン(55)の幅を小さくしているため、配線抵抗の上昇を抑えようとする、膜厚を更に増大しなければならない。このような段差があると、画素電極(57)の周縁部で電界が乱れ液晶の配向が不安定になり、表示領域を上げたことが返ってコントラスト比の低下をもたらしていた。また、このような段差は、フォトリソにおいて露光精度の低下を招き、これから、画素電極(57)とドレインライン(55)の重畳部の拡大による寄生容量の増大、あるいは、重畳部の減少更には消滅による光漏れにつながり、クロストークやコントラスト比の低下など、表示品位の低下の原因になっていた。

【0010】

【課題を解決するための手段】本発明では、この目的を達成するために、第1に、一対の電極基板間に液晶が密封され表示画素ごとに形成された液晶駆動用の画素容量に信号電圧を印加することにより、前記液晶の配向を変化して光を変調する液晶表示装置において、前記一対の電極基板の一方は、基板上に、不純物を含有しないチャンネル層及び該チャンネル層の両側端に不純物を含有したソース領域とドレイン領域を含んで島状に設けられた多結晶半導体層と、該多結晶半導体層上に形成された第1の絶縁層と、該第1の絶縁層が形成された前記基板上に形成され前記チャンネル層の上方に配されたゲート電極を含むゲートラインと、該ゲートライン上に形成された第2の絶縁層と、該第2の絶縁層が形成された前記基板上に形成され前記ドレイン領域との接続部を有するドレインラインと、該ドレインラインを覆って全面的に形成され表面が平坦にされた第3の絶縁層と、該第3の絶縁層上に形成され前記ソース領域との接続部を有し前記画素容量の一方を成す画素電極からなる構成とした。

【0011】第2に、第1の構成において、前記第3の絶縁層は、液状材料の回転塗布及び焼成により形成されたSOG膜、または、該SOG膜を含む多層膜からなる構成とした。第3に、第2の構成において、前記SOG膜は、液状材料の回転塗布及び焼成を複数回行うことにより形成されている構成とした。

【0012】第4に、第1の構成において、前記第3の絶縁層は、研磨液による化学反応と機械的な摩擦研磨との合併作用を利用したCMP法により平坦化されている構成とした。第5に、第1から第4のいずれかの構成において、前記ドレインラインは、前記画素電極の周辺位置に配され、前記画素電極は前記第3の絶縁層を挟んで部分的に前記ドレインラインに重畳され、かつ、前記画素電極に重畳する部分では前記ドレインラインの厚さが

薄くされている構成とした。

【0013】第6に、第1から第5のいずれかの構成において、前記ゲートラインは、不純物を含有した多結晶シリコン層からなり、前記画素電極の周辺位置で前記ドレインラインに交差して形成され、前記画素電極の前記ゲートラインに沿った縁線の帯域には遮光層が島状に形成されている構成とした。

【0014】

【作用】前記第1の構成において、画素電極の下地層を平坦にすることにより、画素電極の平坦性が向上され、これにより、液晶の配向乱れによるコントラスト比の低下が防がれ、表示品位が向上される。また、下地層を平坦にしたため、画素電極パターンの露光の際の位置合わせ精度が向上するので、画素電極と電極配線の位置関係の微調整が可能となり、周縁遮光、開口率向上及び寄生容量低減が実現され、表示品位が向上する。

【0015】前記第2の構成で、ドレインラインを覆う第3の絶縁層として、回転塗布法により形成したSOG膜を用いることにより、ドレインライン層、及び、その他の配線層の段差が緩和、あるいは、消滅され、画素電極の下地層が平坦になる。これにより、画素電極の平坦性が向上される。前記第3の構成で、SOG膜の成膜を複数回の分けて行うことにより、第3の絶縁層の平坦性と膜質が向上される。

【0016】前記第4の構成で、ドレインラインを覆う第3の絶縁層に研磨液と機械的な摩擦研磨を加え、化学的及び機械的の合併作用により凹凸を無くすCMP法を用いて表面を平坦化することにより、ドレインライン層、及び、その他の配線層の段差が緩和、あるいは、消滅され、画素電極の下地層が平坦になる。これにより、画素電極の平坦性が向上される。

【0017】前記第5の構成で、画素電極をドレインラインに重畳する領域にまでもってこることにより表示領域がドレインラインエッジにまで拡大して開口率が向上するとともに、画素電極周縁の遮光が成されてコントラスト比が向上する。また、画素電極との重畳部においてドレインラインの膜厚を薄くすることにより、膜厚の厚い部分との段差が、平坦化された第3の絶縁層の膜厚を生み、この膜厚のためにソース・ドレイン間の寄生容量が減少される。また、画素電極の下地層の平坦化が成され、画素電極とドレインラインとの位置関係が高精度に制御されるため、ドレインラインによる画素電極周縁の遮光効果と、ドレインラインと画素電極の重畳部での寄生容量の低減が両方ともに実現され、どちらかの問題による表示品位の低下が防がれる。

【0018】前記第6の構成で、ゲートライン側の画素電極周縁に遮光層を形成することにより、画素電極周縁からの漏れ光が遮断され、表示品位が向上する。

【0019】

【実施例】続いて、本発明を実施例に基づいて詳細に説

明する。図1は本発明の第1の実施例に係る液晶表示装置の画素部の平面図であり、図2は図1のA-A線に沿った断面図、図3は図1のB-B線に沿った断面図、図4は図1のC-C線に沿った断面図である。まず、高耐熱性の石英ガラスなどの透明基板(10)上に、640℃、0.3 Torr程度の高温低圧の条件下でSiH₄またはSi₂H₆を材料ガスとした減圧CVDにより、厚さ600 Å程度のp-Siを積層し、これをフォトリソエッチによりパターンニングすることにより、TFTの活性層(11)及び第1の補助容量電極(11C)が形成されている。活性層(11)及び第1の補助容量電極(11C)を覆う全面にはHTO(High Temperature Oxide)膜、即ち、880℃、0.8 Torr程度の高温低圧条件で、材料ガスとしてSiH₂Cl₂とN₂Oの混合ガスを用いた減圧CVDにより成膜された厚さ1000 ÅのSiO₂が被覆され、ゲート絶縁層(12)とされている。第1の補助容量電極(11C)は、活性層(11)領域を覆って形成されたレジストをマスクとして燐などのN型不純物のイオン注入を行うことによりN+型にドーピングされて低抵抗化されている。

【0020】ゲート絶縁層(12)上には、活性層(11)と同様に高温減圧CVDにより、3000 Å程度のp-Siを成膜し、POC13(三塩化ホスホリル)を拡散源とした減圧CVDによりN+型にドーピングし、これをフォトリソエッチによりパターンニングすることにより、ゲートライン(13)、ゲート電極(13G)及び第2の補助容量電極(13C)が形成されている。第2の補助容量電極(13C)はゲートライン(13)の方向に沿って画素間で接続され、共通電極電圧が印加される。第2の補助容量電極(13C)は、ソース電圧が印加される第1の補助容量電極(11C)とゲート絶縁層(12)を挟んで重畳され、電荷保持用の補助容量を構成している。活性層(11)には、ゲート電極(13G)をマスクとして燐などのN型不純物のイオン注入を行うことにより、ソース・ドレイン領域(11s, 11d)が形成されるとともに、ノンドーピングのチャンネル領域(11n)が形成されている。

【0021】ゲートライン(13)、ゲート電極(13G)及び第2の補助容量電極(13C)を覆う全面には熱CVDによりSiO₂が積層され、第1の層間絶縁層(14)とされている。ドレイン領域(11d)上のゲート絶縁層(12)及び第1の層間絶縁層(14)にコンタクトホール(CT1)を開孔したあと、スパッタリングなどによりAlを6000~7000 Åの厚さに積層し、フォトリソエッチによりドレインライン(15)のメインライン(15M)が形成され、コンタクトホール(CT1)を介してドレイン領域(11d)に接続されている。更に、スパッタリングによりMoあるいはTiなどを1500 Å程度の厚さに積層し、フォトリソエッチによりメインライン(15M)よりも大きなパターンでメ

インライン(15M)を覆い、BMを兼ねたサブライン(15S)が形成されている。

【0022】ドレインライン(15)が形成された基板(10)上には、図5に示す如く、CVDによりSiO₂膜(1)を1000~2000Å程度の厚さに積層した後、SOG(spin-on-glass)溶液の回転塗布及び焼成を複数回にわたって行い、SiO₂を主成分とした膜、即ち、SOG膜(2)を形成している。SOG膜は、ケイ素化合物R_nSi(OH)_{4-n}及び添加剤を有機溶剤に溶解したSOG溶液をスピナーを用いて回転塗布し、熱処理を行うことにより、溶剤の蒸発及び脱水・重合反応を促して無機質のSiO₂が生成されたものである。SOG膜は表面の平坦性に優れており、本実施例でも、ドレインライン(15)を完全に覆うとともに、段差が無くされている。特に、本実施例の如く、回転塗布及び焼成を複数回に分けて行うことにより、平坦性及び膜質が更に向上する。SOG膜(2)上には更にCVDによりSiNX膜(3)を形成し、これらSiO₂膜(1)、SOG膜(2)及びSiNX膜(3)をもって第2の層間絶縁層(16)としている。

【0023】なお、このような高温プロセスを要する構成は、高耐熱性の石英ガラス基板及びp-SiTFTを用いた液晶表示装置においてのみ実現される。また、SOGの焼成時に既にA1により形成されているドレインライン(15)の耐熱性を考慮して、温度を高くしない場合、SOG膜(2)の膜質が悪化するが、図5の如き多層絶縁構造とすることにより、膜質の劣悪なSOG膜(2)を平坦化のみに用い、SiO₂膜(1)及びSiNX膜(3)でもって層間絶縁が成され、SOG膜(2)の欠陥による絶縁不良が防がれる。

【0024】ソース領域(11s)上のゲート絶縁層(12)、第1の層間絶縁層(14)及び第2の層間絶縁層(16)にコンタクトホール(CT2)を開口したあと、ITOのスパッタリングとフォトリソを行うことにより画素電極(17)が形成され、コンタクトホール(CT2)を介して、ソース領域(11s)にも接続されている。画素電極(17)は、平坦化された第2の層間絶縁層(16)上に形成されているため、高い平坦性が得られている。更に、画素電極(17)上、ゲートライン(13)に沿ったエッジを覆う帯域には、Crなどがアイランド状に形成され遮光層(18)とされている。

【0025】図1及び図3に示す如く、画素電極(17)はサブライン(15S)上に重畳されるとともに、メインライン(15M)に近接されている。即ち、ドレインライン(15)は、膜厚の厚いメインライン(15M)部と、膜厚の薄いサブライン(15S)部からなり、メインライン(15M)は従来よりも線幅が狭く、かつ、画素電極(17)は従来よりも大きく、隣接する画素電極(17)とのクロストークを防ぐための最低離

間距離(L)の限界まで広げられ、表示領域がサブライン(15S)のエッジにまで拡大されているとともに、サブライン(15S)はコントラスト比向上のために必要な周縁遮光領域の幅(L1)をもって画素電極(17)に重畳され、BMとして機能している。また、サブライン(15S)は、メインライン(15M)の線幅が縮小されていることによる抵抗の増大を抑え、導電率を補償するとともに、膜厚が薄く形成されて、メインライン(15M)部との段差が得られ、これにより、ドレインライン(15)を覆って平坦化された第2の層間絶縁層(16)上の画素電極(17)との離間距離が稼がれて、寄生容量を減少している。

【0026】そして、このような、画素電極(17)とメインライン(15M)及びサブライン(15S)との位置関係は、第2の層間絶縁層(16)の平坦性を向上したことにより合わせ精度が向上され、1μm以下のアライメントずれの範囲で制御が可能となっている。このため、画素電極(17)とメインライン(15M)との離間距離の狂い起因するソース・ドレイン間のクロストークや、画素電極(17)とサブライン(15S)との重畳部面積の狂いによる周縁遮光不良、寄生容量の増大などの問題が防がれる。

【0027】同様に、図4に示す如く、ゲートライン(13)側の辺でも、遮光層(18)の位置が高精度に制御され、最低離間距離(L)及び周縁遮光幅(L1)を確保するとともに、画素電極(17)を拡げて表示領域がゲートライン(13)のエッジにまで拡大されている。これにより、サブライン(15S)と合わせて、画素電極(17)周縁のBMのメインエッジを成し、対向基板側に形成されるサブBM(不図示)が縮小され、開口率が向上している。なお、画素電極(17)とゲートライン(13)は、第1の絶縁層(14)及び第2の絶縁層(16)を挟んで離間されているため、重畳部での寄生容量による影響は無い。

【0028】第2の層間絶縁層(16)の平坦化として、前述のSOG膜(2)の使用の他に、CMP(chemical mechanical polishing)法によるものがある。即ち、ドレインライン(15)が形成された基板上に、ECR-CVDによりSiO₂膜を形成し、弱アルカリ性の研磨液を用いた機械的な研磨除去により、化学反応と機械的な摩擦の合併作用効果により研磨能率を高め、平坦化を行う。これにより高精度な平坦性が得られ、画素電極(17)の凹凸が無くされる。

【0029】なお、本発明では、ドレインライン(15)の構造は、上述のものに限定されることはない。他の実施例として、図6に示す如く、大きなパターンのサブライン(25S)を下層に形成した後、小さなパターンのメインライン(25M)を上層に形成する構造も可能である。

【0030】

【発明の効果】以上の説明から明らかなように、本発明で、画素電極の下地層の平坦化を行うことにより、ブラックマトリクスをドレインラインで代替させた構造において、画素電極の段差が無くされ、表示品位が向上した。ドレインラインに段差をつけて、厚い部分の幅を従来の線幅よりも小さくし、これに近接させて画素電極を拡げることにより開口率が向上した。また、薄い部分をブラックマトリクスとして画素電極に重畳させることにより、平坦化された層間絶縁層上の画素電極との離間距離が稼がれて寄生容量が減少した。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置の平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1のB-B線に沿った断面図である。

【図4】図1のC-C線に沿った断面図である。

【図5】第2の層間絶縁層の断面図である。

【図6】本発明の他の実施例に係る液晶表示装置の断面図である。

【図7】従来の液晶表示装置の平面図である。

【図8】図7のD-D線に沿った断面図である。

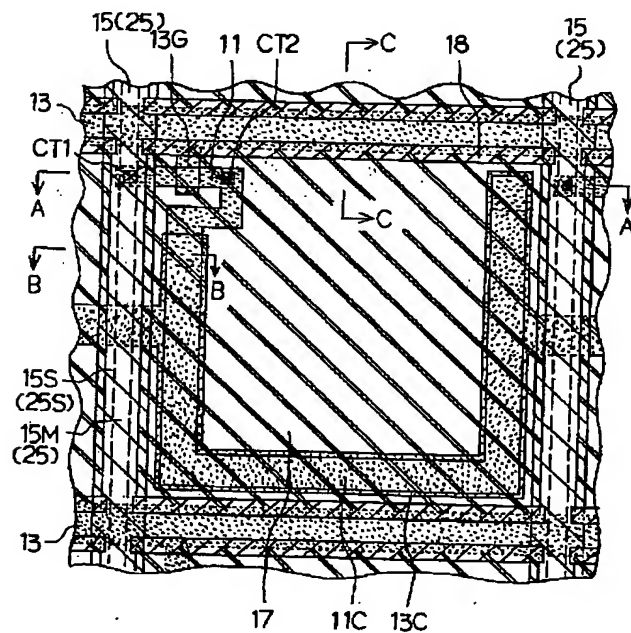
【図9】図7のE-E線に沿った断面図である。

【図10】図7のE-E線に沿った断面図である。

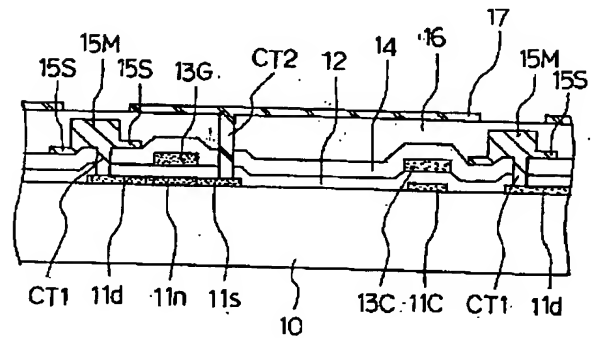
【符号の説明】

- 1 SiO₂膜
- 2 SOG膜
- 3 SiNX膜
- 10 透明基板
- 11 p-Si活性層
- 12 ゲート絶縁層
- 13, 33 ゲートライン
- 14 第1の層間絶縁層
- 15, 25 ドレインライン
- 15M, 25M メインライン
- 15S, 25S サブライン
- 16 第2の層間絶縁層
- 17 画素電極
- 18 遮光層
- CT コンタクトホール
- L 最低離間距離
- L1 周縁遮光幅

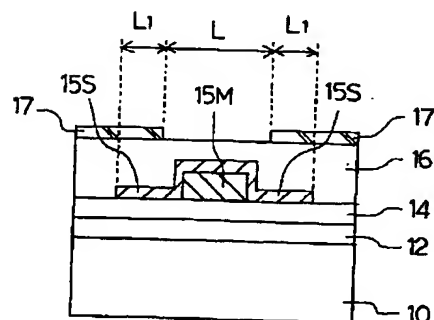
【図1】



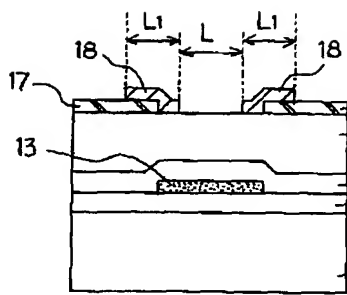
【図2】



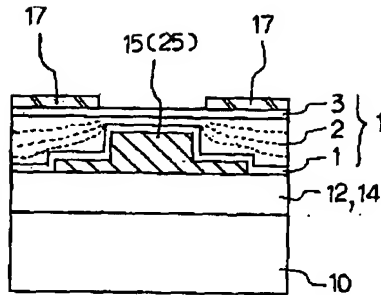
【図3】



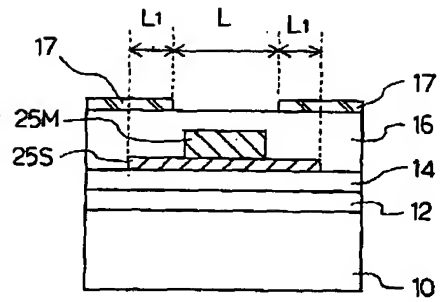
【図 4】



【図 5】

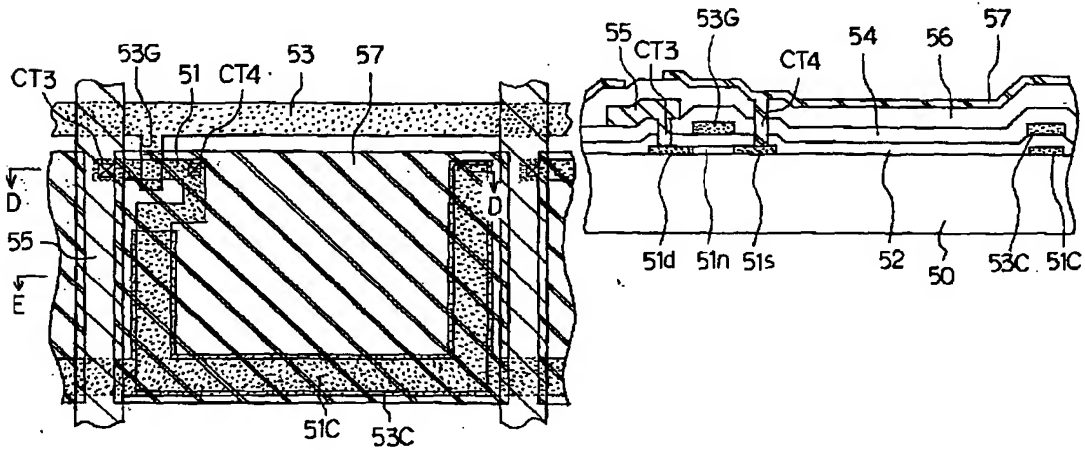


【図 6】



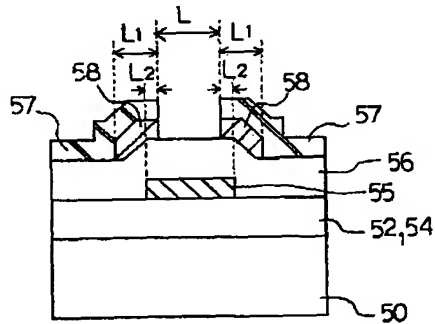
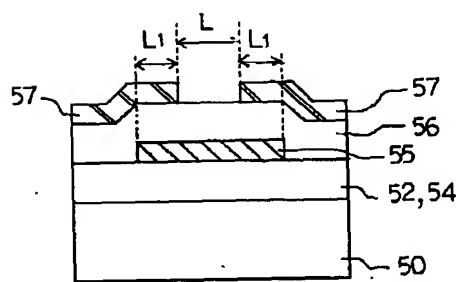
【図 8】

【図 7】



【図 9】

【図 10】



フロントページの続き

(51) Int. Cl. 6

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所